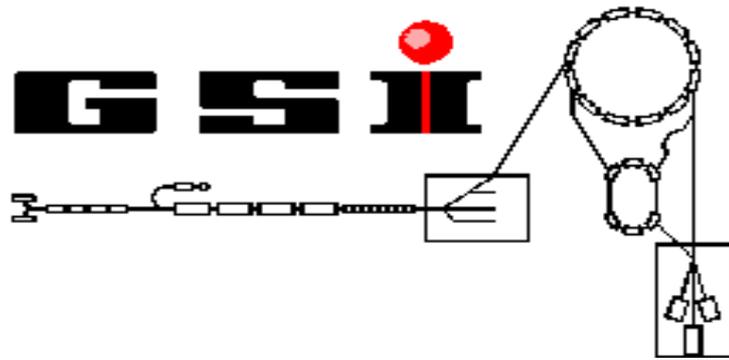


Beschleuniger
Elektronik
Labor

BELAB



Interface-Karte für die Netzgeräte-Backplane und den Modulbus.

FG 380.211

R. Hartmann

Änderungsliste

Version	Datum	Name	Kommentar
0.1	04.02.2005	R. Hartmann	Dokument erstellt

Inhaltsverzeichnis:

1	BESCHREIBUNG.....	5
1.1	Allgemeines	5
1.2	Kompatibilität.....	5
1.3	Blockschaltbild	6
1.4	Funktionsbeschreibung.....	7
1.5	Betriebsarten.....	8
1.5.1	NG-Backplane.....	8
1.5.2	SD-Backplane (Blockmode)	8
1.5.2.1	Lesen im Blockmode	8
1.5.3	Modulbus-Mode.....	10
1.5.4	Funktionengenerator-Mode.....	11
1.5.5	"Stand-Alone-Betrieb"	11
1.5.6	"Piggy-Back-Betrieb".....	11
1.5.7	Sonderlösungen.....	12
1.5.7.1	Sweeper.....	12
1.5.7.2	Funktionengenerator-Mode mit DDS-Interface	12
1.6	Technische Daten: (Kurzdaten).....	13
1.7	Front- und Seitenansicht der Baugruppe	14
2	DEVICE-BUS.....	15
2.1	Schreibe Daten mit Funktions-Code.....	16
2.1.1	Schreibe Daten	16
2.1.2	Schreibe Funktionscode	16
2.1.3	Timing auf dem Devicebus, Ausgang des Manchester -Decoders.....	16
2.2	Lese Daten oder Status	17
2.2.1	Timing beim Lesen auf dem Devicebus und am Manchester-Encoder	17
3	LISTE DER FUNKTIONS-CODES	18
4	REGISTER	20
4.1	Steuerregister (Funktionscodes siehe Kap. 3)	20
4.1.1	Mode-Register.....	20
4.1.2	Interrupt-Maske.....	20
4.1.3	Echo-Register.....	21
4.1.4	I2C-Bus.....	21
4.2	Status-Register (Funktionscodes siehe Kap. 3)	23
4.2.1	Interlock-Status-Register.....	23
4.2.2	IFA-Status-Register.....	23
4.2.3	Modulbus-Status-Register	23
4.2.4	ID-Register.....	25
4.2.5	EPLD Versions-Register.....	25
5	MODUL-BUS.....	26
5.1	Modulbus-Adressierung	26
5.1.1	Standard-Modulbuszugriff (2 Schritte).....	26
5.1.2	Schneller Modulbuszugriff (1 Schritt)	26
5.1.2.1	Initialisierung des Funktions-Code-Decoder	26
5.1.2.2	Initialisierung des MB-Group-Cont.....	26

6	MANUALS.....	27
6.1	Modulbus.....	27
6.2	Funktionsgenerator.....	27
7	ANHANG.....	28
7.1	Pinbelegung der VG-Steckerleiste.....	28
7.2	Piggy-Stecker.....	30
7.2.1	Position und Zählweise.....	30
7.2.2	Piggy-Stecker-Belegung.....	31
7.3	Netzgeräte-Backplane.....	33
7.4	Modulbus-Backplane.....	33
7.5	Produktionsunterlagen.....	34

1 Beschreibung

1.1 Allgemeines

Die Geräte am SIS und ESR (z.T auch UNILAC) werden von Steuereinheiten ("SE's") kontrolliert. Die SE's sind über den Device-Bus mit den Geräten verbunden. Da die Geräte nicht direkt an den Device-Bus angeschlossen werden können, werden Anpass-Elektroniken, so genannte Interface-Karten benötigt. Die Interface-Karten setzen die Daten vom Device-Bus in gerätespezifische Signale um.

Die Interface-Karten werden von der SE-Software über den Device-Bus gesteuert.

Die Adresse der Interface-Karte wird über die VG-Leiste eingestellt.

Die allgemeine digitale Interface-Karte FG 380.211 (im weiteren **IFA** genannt) ist für den universellen Einsatz entwickelt worden. Sie kann als Interface für die Netzgeräte-Backplane, als Controller für den Modulbus oder als "Stand-Alone"- Interface-Karte mit Piggy-Back-Platine verwendet werden.

Es ist ebenfalls ein Funktionsgenerator sowie ein I2C-Bus Controller integriert.

Die unterschiedlichen Betriebsarten der **IFA** können nur zum Teil per SE-Software eingestellt werden, einige Betriebsarten müssen aber wegen der Sicherstellung der richtigen Treiberrichtung zwingend per Hardware über die VG-Leiste bzw. einen Piggy-Stecker-Pin festgelegt werden.

1.2 Kompatibilität

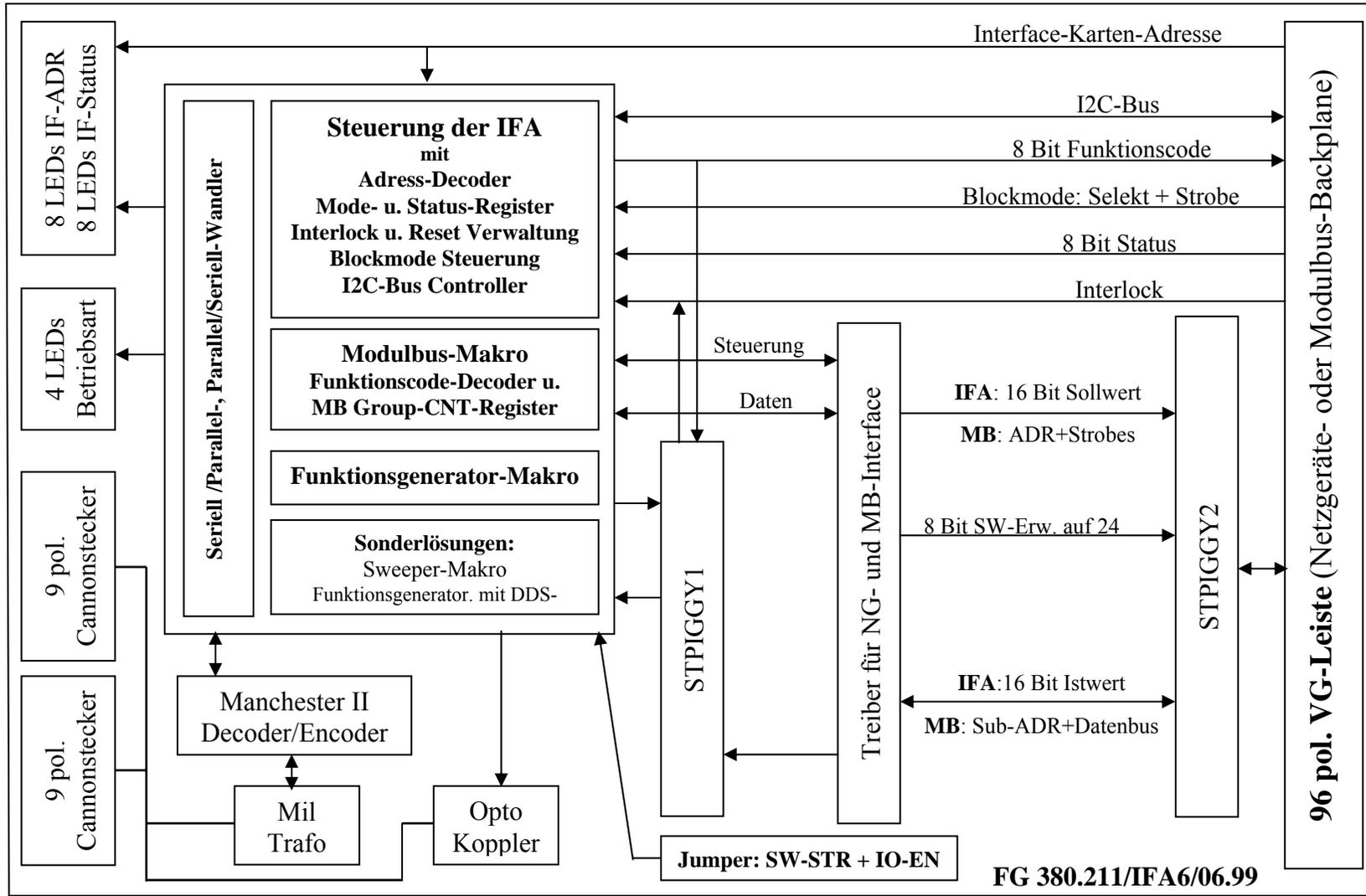
Die Interface-Karten Generation ab **FG 380.2xx** ist nur noch für die Verwendung auf den Backplanes für die Netzgeräte und den Modulbus entwickelt worden.

Folgende Möglichkeiten der Vorgänger-Generation **FG 380.1xx** stehen **nicht** mehr zur Verfügung:

- Spannungsfestigkeit der Statuseingänge von 5-15V
- Funktionscode-Decoder im GAL 20V10 für die Funktionscodes zur VG-Leiste
- Funktionscode-Decoder im GAL 16V8 für die Funktionscodes zur Stecker STPIGGY1

Aus diesem Grund können auf die **IFA** nur Piggys aufgesteckt werden, die ihre Funktionscodes selbst decodieren. (z.B. I/O-Bus Piggy FG 380.721)

1.3 Blockschaftbild



1.4 Funktionsbeschreibung

Die Datenübertragung von der **SE** zur **IFA** erfolgt über den **Device-Bus**, eine serielle Datenübertragung im Manchester II- Code mit einer Datenrate von 1Mbit/Sekunde. Das **Device-Bus-Kabel** verbindet die **SE** mit einem der beiden 9pol. Cannon-Stecker auf der Frontplatte der **IFA**. An dem zweiten Cannon-Stecker wird entweder ein Verbindungskabel zur nächsten Interface-Karte oder ein Abschluss-Widerstand angeschlossen. Diese seriellen Manchester II codierten Daten werden dann über einen Transformator galvanisch entkoppelt und von einem Decoder/Encoder (6408) in serielle digitale Daten umgewandelt. Die Daten werden an den zentralen Logik-Baustein vom Type **EPF10K30A** der Firma ALTERA übergeben.

Der Logik-Baustein enthält:

- serielle/parallele Datenwandlung und umgekehrt
- Adress-Decoder
- Steuer- und Statusregister
- Interlock und Reset-Verwaltung
- Blockmodesteuerung (für die Strahldiagnose)
- I2C-Controller.
- Makros für Modulbus und Funktionsgenerator
- Optionale Sonderlösungen, wie Sweeper-Makro und DDS-Interface für **FG**

Bei der Datenübertragung auf dem Device-Bus, unterscheidet man zwei Arten von 16 Bit Worten, das Daten- und das Command-Word.

Die Datenworte werden parallel an alle Interface-Karten an einem Device-Bus gesendet, im internen Datenregister gespeichert.

Das Command-Word ist in 8 Bit Funktionscode (D[15..8]) und 8 Bit Interface-Karten-Adresse(D[7..0]) aufgeteilt.

Mit diesen Funktions-Codes wird die Interface-Karte eingestellt, die Status-Register gelesen, die Datenrichtung festgelegt und die angeschlossenen Geräte gesteuert.

Die Funktions-Codes sind aber nur gültig, wenn der Adress-Decoder auf der **IFA** feststellt, dass die Adresse im Command-Word mit der Adresse der Interface-Karte von der VG-Leiste übereinstimmt.

Ausnahme!!

Die Adresse 255 (FF_{Hex}) im Command-Word ist für die Broadcast-Funktion reserviert. Diese wird verwendet, um Funktions-Codes per SE-Software an alle Interface-Karten an einem Device-Bus zu schicken.

Die digitalen Daten der **IFA** werden dann entsprechend der Betriebsart und den Jumpfern auf die Stecker und die VG-Leite aufgeteilt.

Über Optokoppler können bis zu drei Interlock-Meldungen (Summen-Interlock, Data-Request und Data-Ready) an die SE geschickt werden. Diese Interlockmeldungen sind über das Masken-Register zuzulassen oder zu sperren. Nach dem Einschalten ist nur der Summen-Interlock freigegeben, mit dem die Power-UP-Meldung der **IFA** der SE angezeigt wird.

1.5 Betriebsarten

Die IFA besteht aus einem allgemeinen Schaltungsteil und den betriebsartabhängigen Teile. Zum allgemeinen Schaltungsteil zählen:

Funktionscode-Ausgänge, Status-Eingänge und I2C-Bus.

Diese allgemeinen Schaltungsteile sind immer, auch unabhängig von der Betriebsart, jederzeit verwendbar.

Die digitalen Ein- und Ausgänge werden in Abhängigkeit von der Betriebsart verwendet.

1.5.1 NG-Backplane

Für den Anschluss von Magnetnetzgeräten, wurde eine Netzgeräte-Backplane entwickelt. Für diese Backplane, sind die digitalen Ein- und Ausgänge der IFA in 16 Bit Sollwert und 16 Bit Istwert aufgeteilt. Der Funktionscode aus dem allgemeinen Teil, wird hierbei als "Adresse" für die Leiterplatten auf dieser Backplane verwendet.

Diese Betriebsart ist die Betriebsart nach dem Einschalten (Power-UP).

1.5.2 SD-Backplane (Blockmode)

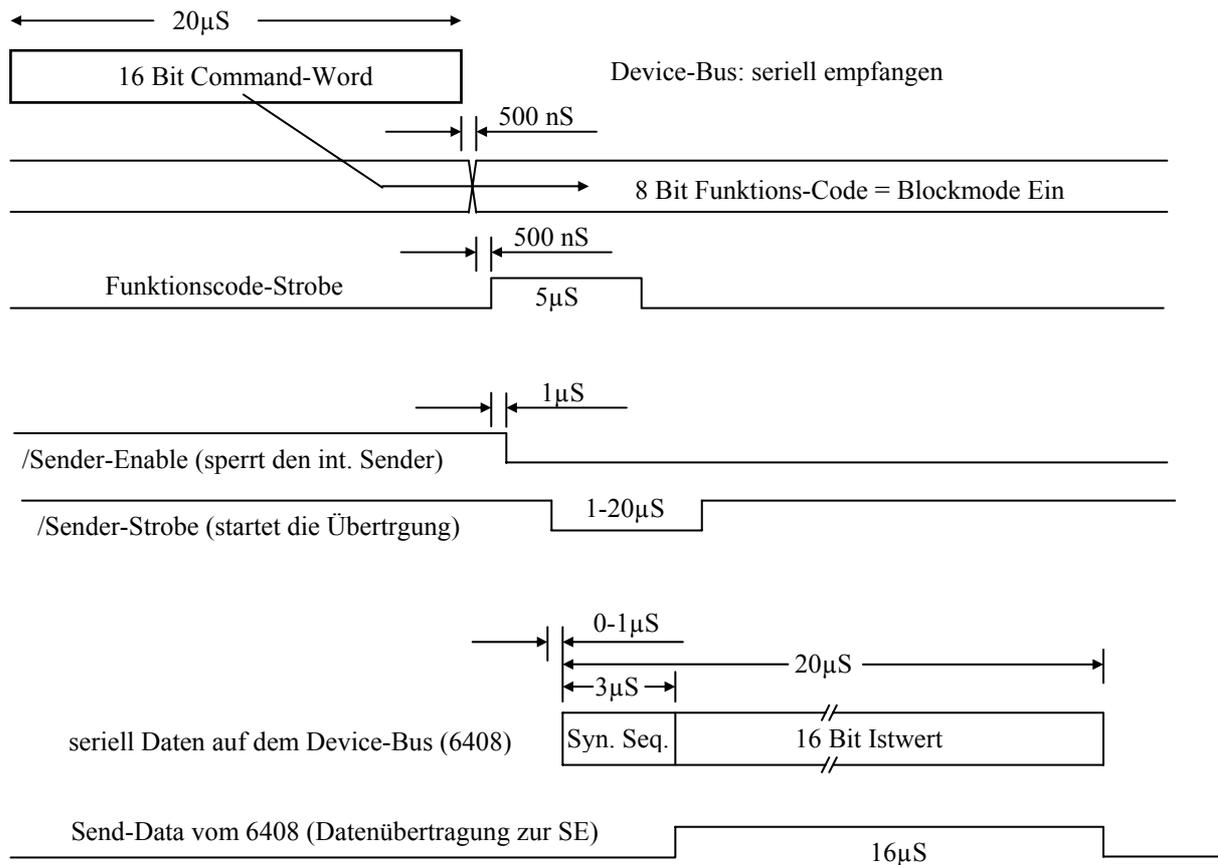
Der Betrieb der SD-Backplane erfolgt in der gleichen Konfiguration der IFA wie bei der NG-Backplane. Um die großen Daten-Pakete vom Dualport-RAM für die Strahl diagnose schneller und effektiver an die SE übertragen zu können, wird die externe Steuerung des Senders der IFA benutzt (Blockmode)

1.5.2.1 Lesen im Blockmode

Die Funktion "lesen im Blockmode" muss durch den Befehl (Funktionscode: Blockmode-Ein) an eine externe Ablaufsteuerung in der Hardware 'hinter' der Interface-Karte, eingeschaltet werden.

Die Sendersteuerung übernimmt dann durch ein "LOW-Signal" an dem Pin 5b (/SEND_EN) der VG-Leiste die Kontrolle über den Senderteil der **IFA**. Mit einem "LOW-Puls" an dem Pin 6b (/SEND_STR) der VG-Leiste, wird ein Datenwort von der **IFA** an **SE** geschickt. An dem Pin 9b (**SD** vom 6408) der VG-Leiste kann festgestellt werden, ob die Datenübertragung gestartet wurde \uparrow und wann sie beendet ist \downarrow .

Timing:



Achtung:!!

Ab diesem Zeitpunkt hat die **SE keine Kontrolle** mehr über die **IFA**. Das bedeutet, der Datenbus ist mit der Übertragen der Daten zur **SE** belegt und es können keine Daten oder Funktions-Codes zur **IFA** gesendet werden. Die externe Sendersteuerung muss dafür sorgen, dass der Anschluss **/SEND_EN** nur für die **max. errechnete Übertragungszeit** der Daten auf "LOW" gehalten wird.

1.5.3 Modulbus-Mode

Der Mangel an Signalen für den Anwender auf der VG-Leiste der IFA führte zur Definition eines Busses mit zugehöriger Backplane.

- Adressierung der Module mit 5Bit Moduladresse und 8 Bit Subadresse
- Datentransfer 8-Bit bidirektional von der IFA zum Modul
(16 Bit Daten vom Devicebus werden automatisch als 2 x 8 Bit übertragen)
- Identifizierung eines Moduls durch eindeutigen 8-Bit -Code (Modul-ID)
- Hardwaremäßige Überprüfung des Modul-Idents mit dem in der Verdrahtung vorgesehenen Ident-Code auf der VG96 oder VG160 -Leiste
(richtiger Kartentyp auf dem richtigen Platz?)
- 36 freie Pins auf der 96pol. VG-Leiste für Ein-/Aus-Signale des Anwenders. Die Ein/Aus-Signale werden über einen auf der Rückseite der Backplane steckbaren Adapter entnommen
- Busleitungen mit Abschlußwiderständen für hohe Signalqualität und Störsicherheit auf der Multilayer-Backplane, auch in Hinsicht auf EMV.

Standard-Modulbuszugriff (2 Schritte)

Datentransfers von/zu Modulen erfordern im Normalfall *zwei* Devicebus-Transfers von je 2x16-Bit:

1. Modul-Karte-Adr.(Modul- u. Subadresse) als 16-Bit Daten + (Fct 11_{Hex} + IFK-Adr.) 16-Bit.
2. 16 Bit Moduldaten mit Funktionscode = 10_{Hex} schreiben, oder
16 Bit Moduldaten mit Funktionscode = 90_{Hex} lesen.

Durch die Initialisierung des **Funktions-Decoder-RAMs**, kann der direkte Zugriff über einen Funktionscode ermöglicht werden (Zeitgewinn).

Für den Anwender ist entscheidend, dass er mit einem Schritt auf eine Ressource im System zugreifen kann. Dieser Zugriff erfolgt über eine über den Devicebus ladbare Tabelle, das t das **Funktions-Decoder-RAM**. Der Vorteil dieses Zugriffs besteht auch

Der Vorteil dieses Zugriffs besteht auch darin, dass bestehende Gerätesoftware durch Hinzufügen der Tabelle als Initialisierung ansonsten unverändert bleiben kann, wenn auf Modulbus umgestellt wird. Wichtige Eigenschaft des RAMs ist seine Flüchtigkeit, die zu einer Re-Initialisierung nach jedem Power -up zwingt.

Um mehrere Geräte mit einer einzigen Interface-Karte in einem Modulbus-Einschub realisieren zu können, wurde die virtuellen Interfaekarten-Adresse eingeführt.

Mit dem **MB Group-CNT-Register** kann die Anzahl der virtuellen Interfacekarten-Adressen festgelegt werden.

Nun sind mit dem **MB Group-CNT** und über das **Funktions-Decoder-RAM**, mehrere auf dem gleichen Gerätemodell basierende Geräte mit einer Interface-Karte und mit den gleichen Funktions-Codes in einem Modulbus-Einschubs möglich.

1.5.4 Funktionsgenerator-Mode

Mit dem **Funktionsgenerator-Mode**, ersetzt die **IFA** den alten Funktionsgenerator FG 380.540. Werden zusätzliche ext. Eingänge (Trigger, Clock usw.) benötigt, können diese über das Zusatz- und Diagnose-Piggy FG 380.731 angeschlossen werden.

1.5.5 "Stand-Alone-Betrieb"

Für einfache Anwendungen die nur einen 16 Bit Soll- und Istwert benötigen, kann durch stecken des Jumper **SW-STR** ein 16 Bit Sollwert-Register auf der IFA aktiviert werden. Dieses Register speichert alle Sollwerte, die mit dem Funktionscode **SW1** (06_{Hex}) geschrieben werden.

1.5.6 "Piggy-Back-Betrieb"

Durch das entfernen des Jumper **IO-EN** können die digitalen Datenbustreiber ausschalten werden. Die Piggy-Stecker stehen jetzt für eigene Anwenderschaltungen oder fertige Piggys z.B. IO-Bus-Piggy zur Verfügung.

1.5.7 Sonderlösungen

Diese Sonderbetriebsarten stehen auf der **IFA** normalerweise nicht zur Verfügung, sondern sind "Firmware-Varianten" der **IFA**.

Die Sonderlösungen unterscheiden sich optisch durch eine rot eloxiert Frontplatte.

1.5.7.1 Sweeper

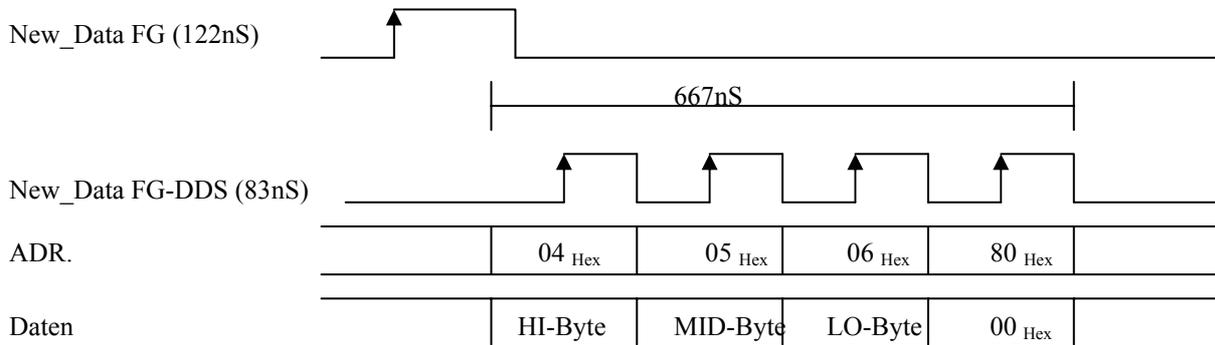
Der Sweeper-Mode ist eine abgeänderte Funktionsgenerator Betriebsart.

??

1.5.7.2 Funktionsgenerator-Mode mit DDS-Interface

Im Unterschied zur Betriebsart Funktions-Generator-Mode, werden die 24 Bit Ausgangsdaten Byte-Seriell über die Pins vom 16 Bit Sollwert zum Anwender übertragen.

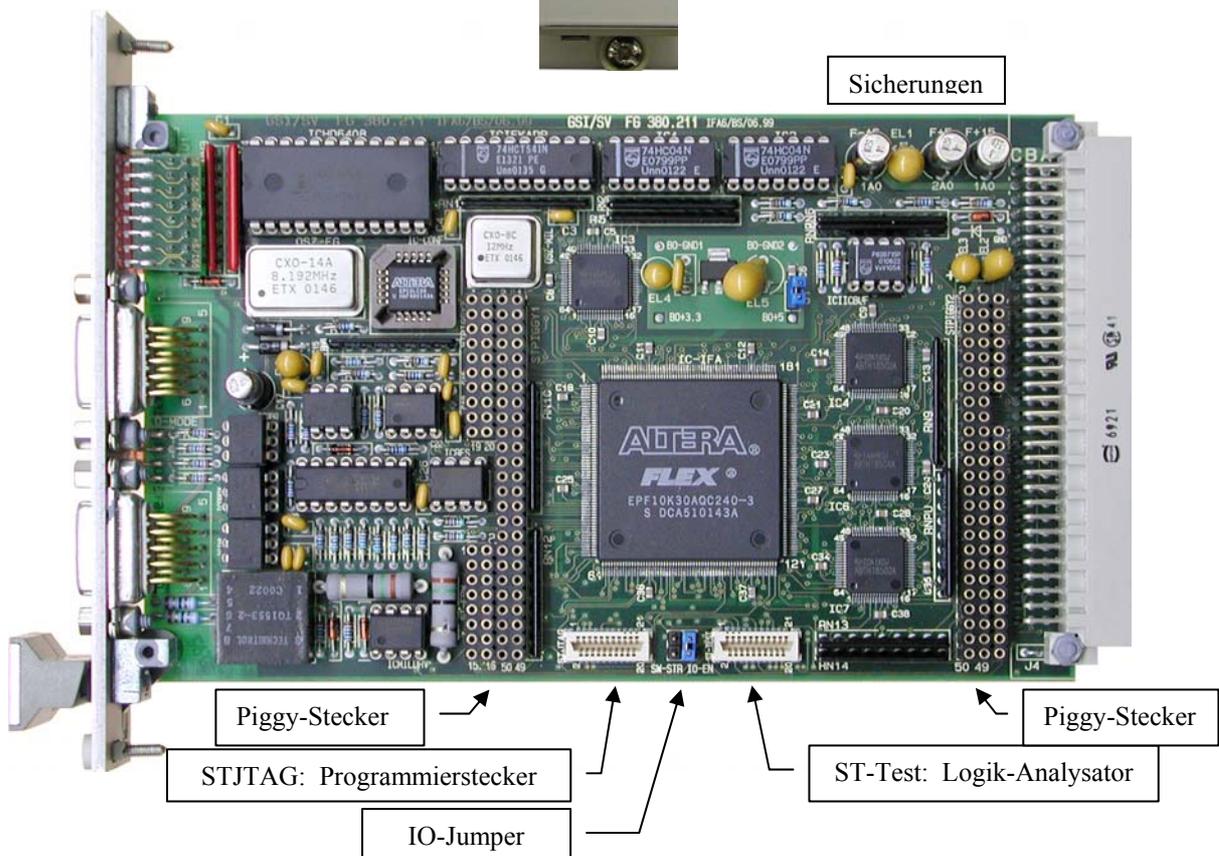
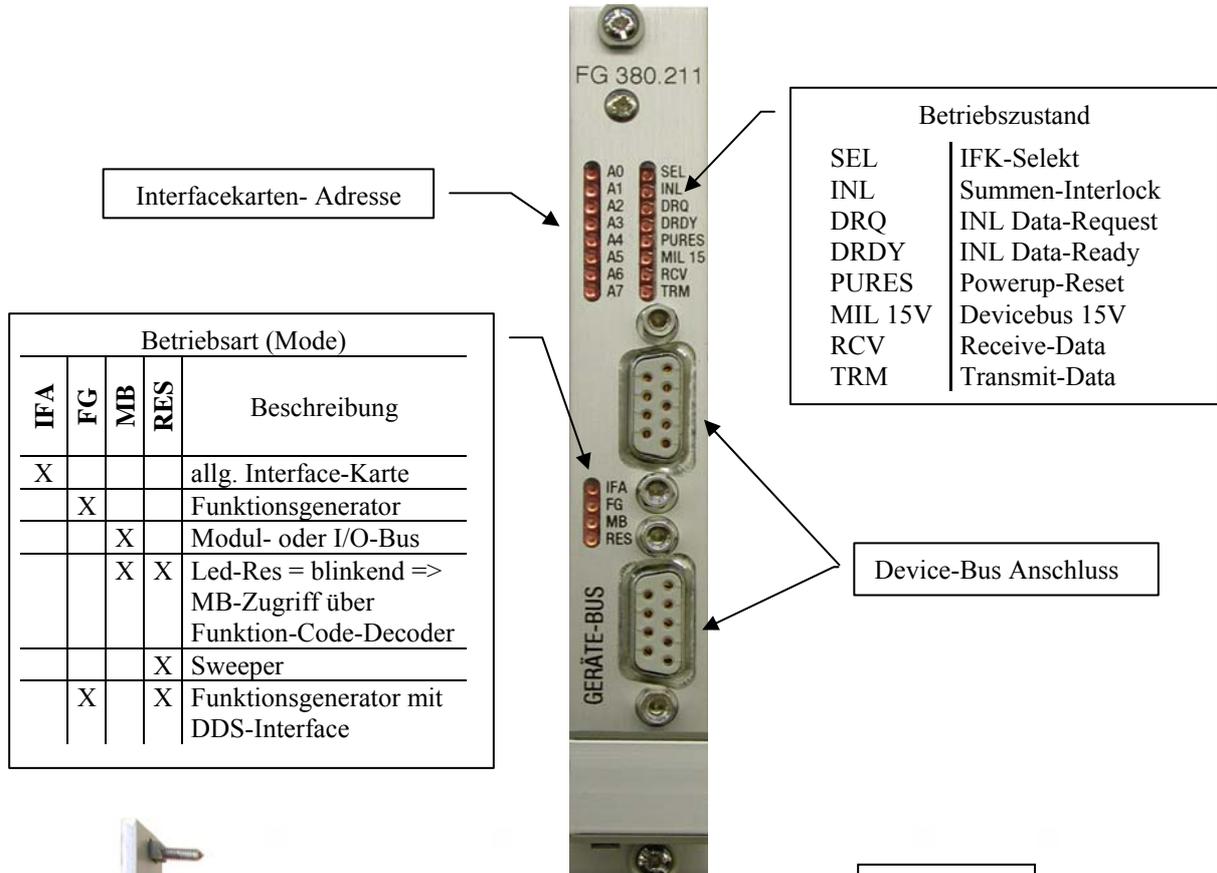
Timing für DDS-Interface



1.6 Technische Daten: (Kurzdaten)

- Interface-Karte im Europaformat (160x100mm).
- Frontplatte 3HE 4TE, mit Auswerfer.
- Anschluss über 96 pol. VG-Leiste für die Standard Netzgeräte oder Modulbus- Backplane.
- Stromversorgung 5V/350mA, +15V/100mA (Device-Bus).
- Eingangsspannungsbereich für Summen-Interlock 5-15V, (offen, oder Spannung unter 4,0V = Interlock).
- alle anderen Ein- und Ausgänge TTL-kompatibel
- mit 2 Busabschlüssen je 330/220Ohm belastbar
- x 9pol. Cannon-Buchsen auf der Frontplatte für den Devicebus Anschluss,
- Endknoten müssen mit einem Busabschluss (2*62 Ohm?) versehen werden.
- 3 optisch entkoppelte Interlockleitungen zur SE.
- LED-Anzeigen, für die Interface-Karten-Adresse, den Betriebszustand (SEL, Interlocks, Power-Up-Reset, Mil 15V, RCV und TRM) und die Betriebsart (Mode).
- Temperaturbereich 0-70°C.
- Betriebsart (Mode) per Software bzw. Hardware einstellbar, aber immer rücklesbar,
- Power-Down/Power-Up und Interlock feststellbar,
- Echo-Register zur Fehler-Diagnose.

1.7 Front- und Seitenansicht der Baugruppe



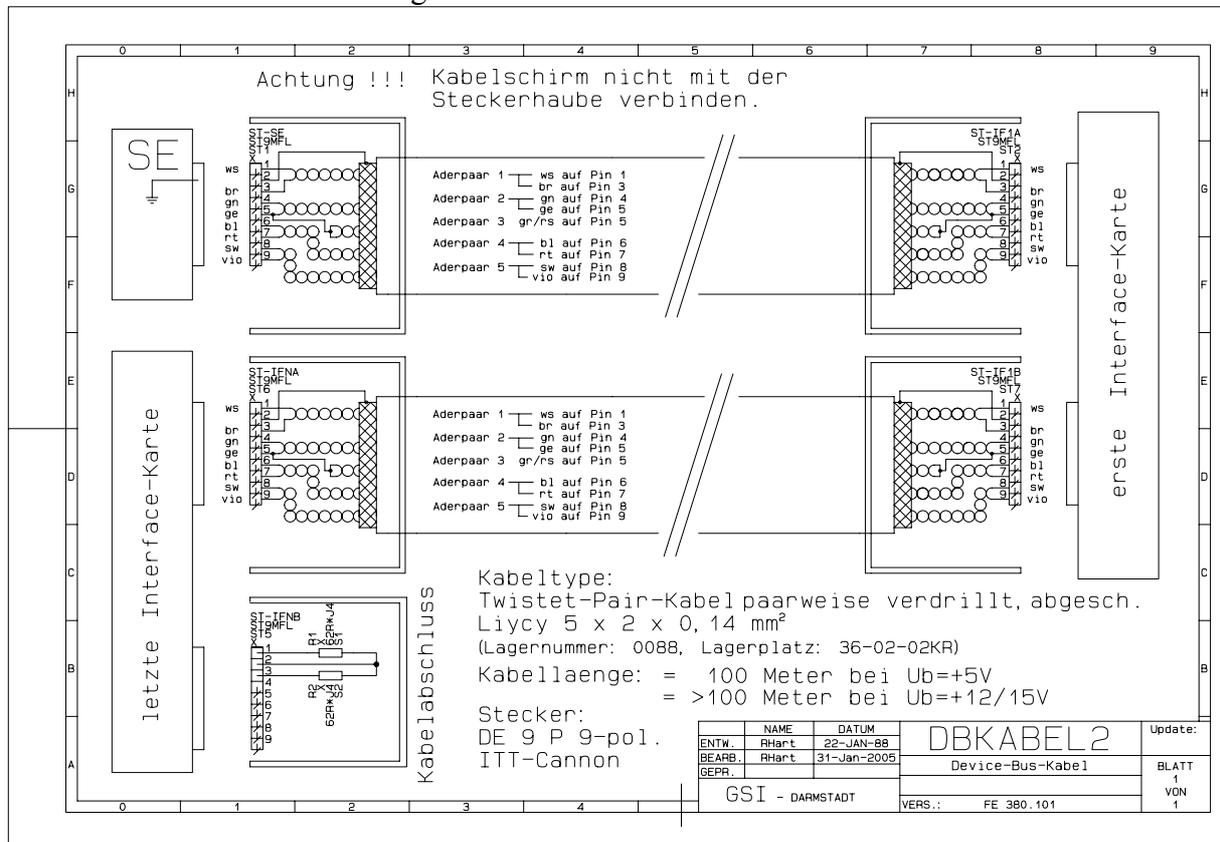
2 Device-Bus

Der Device-Bus ist ein serieller Bus zur Übertragung von 16-bit-Daten in Manchester-II Codierung mit 1 Mbit/sec. Er entspricht physikalisch den Vorschriften der Mil-Std 1553 B-Spezifikation. Abweichend von der MIL1553 gibt es außer dem Parity-Bit keine Datensicherung, kein Echo für jedes Datum. Rückmeldung können die Slaves nur über zusätzliche GSI-spezifische Interruptleitungen geben.

Die Einzelheiten:

- Der Device-Bus ein Multi-Drop Bus (Single-Master).
- Es können mehrere Teilnehmer verbunden werden (bei GSI normalerweise 16).
- Alle Slaves können über 3 potentialgetrennte Interruptleitungen auf den Master (die SE) einwirken
- Die Kopplung ist transformatorisch und passiv.
- Es besteht dadurch eine Potentialtrennung zwischen Rechner und Gerät, eine defekte Koppelstelle kann den Bus nicht lahm legen.
- Für einen 16-bit-Daten-Transfer werden 20 µsec benötigt.
- Es kann zwischen Datentransfer und Command-Transfer unterschieden werden.
- Der Device-Bus darf bis 200m lang sein. (bei GSI-Standard-Datenkabeln, mit anderen Kabeln sind größere Entfernungen möglich)

EMV-Hinweis: Durch das nicht Verbinden des Schirms an den Slave-Interfaces vermeidet man Ausgleichsströme zwischen Interfaces an verschiedenen Erdpotentialen, verschlechtert aber evtl. die Abschirmwirkung



2.1 Schreibe Daten mit Funktions-Code

Der Datentransfer-Zeit für das Schreiben von 16 Bit Daten oder Commands beträgt jeweils $20\mu\text{S}$. (Übertragungszeit für Daten + Funktionscode = $40\mu\text{S}$)

2.1.1 Schreibe Daten

Die parallelen Daten (16 Bit) stehen, nach der Übertragung über den Device-Bus, gleichzeitig an der VG_Leiste aller am gleichen Device-Bus angeschlossenen Interfacekarten und somit auf der Netzgeräte-Backplane zur Verfügung.

2.1.2 Schreibe Funktionscode

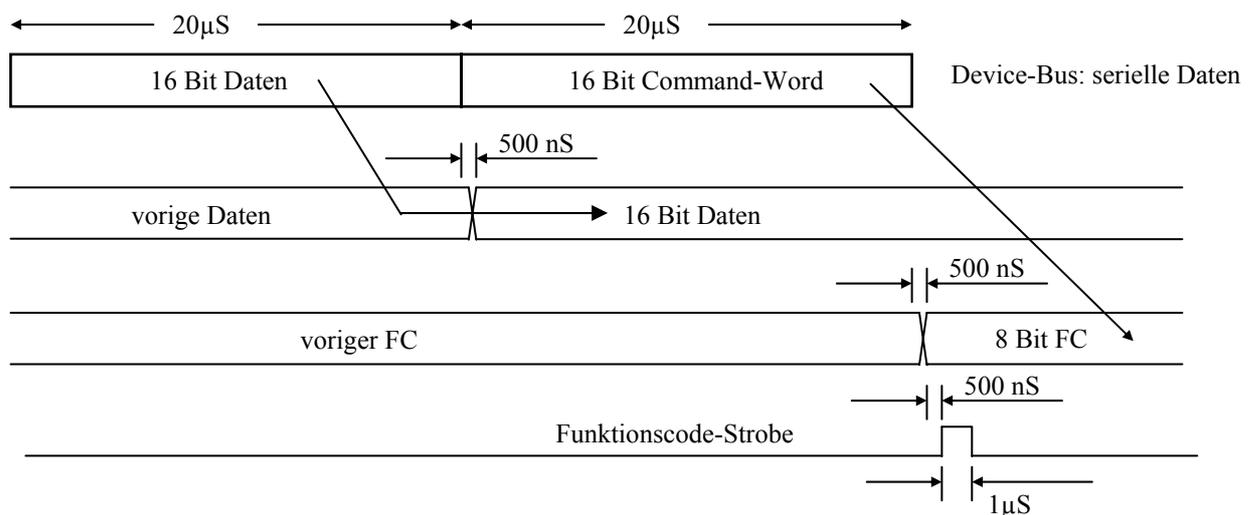
Um die Daten entsprechend zuordnen zu können, muss ein Funktionscode gesendet, und auf den Karten der Netzgeräte-Backplane decodiert werden (ADC/DAC-Karte, Schaltkarte usw.).

Der Funktionscode wird zusammen mit der IFK-Adresse im zweiten Datenwort, dem "Command Word" übertragen.

Funktionscode								IFK-Adresse (1-254, 255 = Broadcast)							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Der Funktionscode ist mit der pos. Flanke des FC-Stobes gültig.

2.1.3 Timing auf dem Devicebus, Ausgang des Manchester -Decoders



2.2 Lese Daten oder Status

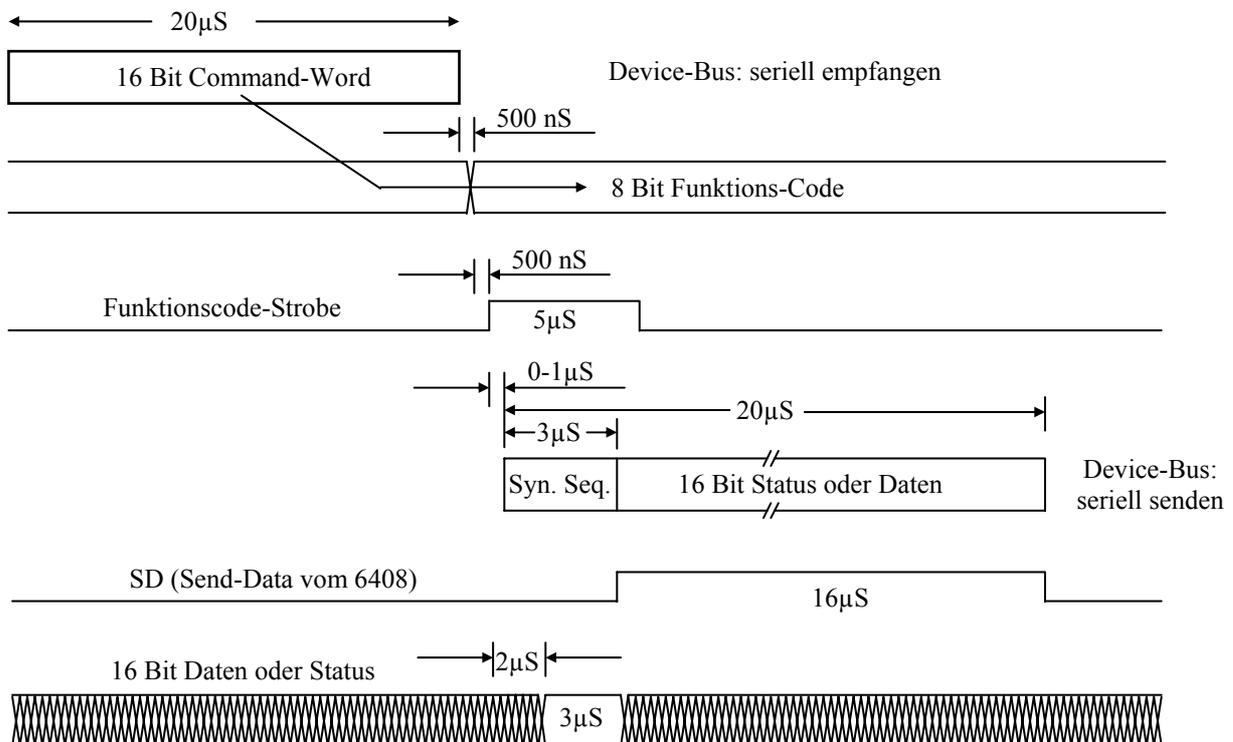
Die Datentransfer-Zeit für das Lesen von 16 Bit Daten oder Status, die Interface-Karte ist Slave der SE, d.h. alle Daten müssen per Funktionscode angefordert werden ($20\mu\text{S}$), beträgt deshalb ($20\mu\text{S}+20\mu\text{S}$) $40\mu\text{S}$.

Um die Daten von den Karten der die Netzgeräte-Backplane oder der **IFA**, lesen zu können, muss ein Funktionscode zur Interfacekarte gesendet werden. Mit der pos. Flanke des FC-Strobes wird die Übertragung gestartet.

Die Übertragung beginnt zwischen $0-1\mu\text{S}$ nach der pos. Flanke des FC-Strobes mit der Sync-Sequence von $3\mu\text{S}$. Während der Sync-Sequence werden die parallel anstehenden Daten in ein Schieberegister geladen, anschließend wird dann das Schieberegister von 'laden' auf 'schieben' umgeschaltet.

Daraus folgt, das die Daten bzw. der Status zwischen 2 und $5\mu\text{S}$ nach der pos. Flanke des FC-Strobes stabil sein müssen.

2.2.1 Timing beim Lesen auf dem Devicebus und am Manchester-Encoder



3 Liste der Funktions-Codes

Schreiben (SE ⇒ IFK)				Lesen (IFK ⇒ SE)			
Dez	Hex	Funktion	Betr.-Art	Dez	Hex	Funktion	Betr.-Art
0	0	keine Funktion		128	80	Daten lesen	
1	1	Schalter auf Standby (Reset)	FG	129	81	Istwert 1 lese	
2	2	Gerät Einschalten		130	82	Istwert 2 lesen	
3	3	Gerät Ausschalten		131	83	Istwert 3 lesen	
4	4	Polarität + setzen		132	84	Istwert 4 lesen	
5	5	Polarität - setzen		133	85	Istwert 5 lesen	
6	6	Sollwert 1 setzen	FG	134	86	Istwert 6 lesen	
7	7	Sollwert 2 setzen	FG	135	87	Istwert 7 lesen	
8	8	Sollwert 3 setzen	FG	136	88	Istwert 8 lesen	
9	9	Sollwert 4 setzen	FG	137	89	Echo-Sollwert rücklesen	IFA
10	A	Sollwert 5 setzen	FG				
11	B	Sollwert 6 setzen		141	8D	# Piggy-EPLD-Vers. lesen	MB
12	C	Sollwert 7 setzen		142	8E	# Piggy-Back ID lesen	MB/FG
13	D	Sollwert 8 setzen		143	8F	Datenblock lesen	
14	E	Wait					
15	F	Release		144	90	Datenbus lesen	MB
16	10	Datenbus setzen	MB	145	91	G-Daten 1 / Stat_1	FG
17	11	Adressbus setzen	MB	146	92	G-Daten 2 / Stat_2	FG
				147	93	G-Daten 3 / Sollwert_1	FG
18	12	Set INR-Maske	IFA	148	94	G-Daten 4 / Sollwert_2	FG
19	13	Echo-Sollwert setzen	IFA	149	95	G-Daten 5 / SP-Sollwert_1	FG
				150	96	G-Daten 6 / SP-Sollwert_2	FG
32	20	Broadcast	FG				
				151	97	G-Daten 7 / IFA-Mode	IFA
48	30	Modulbus-Funktionscode	MB	152	98	G-Daten 8 / I ² C-CMD/Daten	IFA
		Modulbus-Funktionscode	MB				
79	4F	Modulbus-Funktionscode	MB	153	99	FC-Decoder Daten (Ram)	MB
				154	9A	MB-Status-Register	MB
95	5F	Conv.-Command für ADC's	IFA	155	9B	Group-Count-Register	MB
96	60	IFA-Mode setzen	IFA				
97	61	I ² C-CMD/Daten setzen	IFA	176	B0	Modulbus-Funktionscode	MB
98	62	FC-Dec. RAM-ADR setzen	MB			Modulbus-Funktionscode	MB
99	63	FC-Dec.-RAM-Daten setzen	MB	191	BF	Modulbus-Funktionscode	MB
100	64	Group-Count setzen	MB				
				192	C0	Status-Byte1 lesen	
				193	C1	Status-Byte2 lesen	
117	75	Res. Piggy-Err./DTACK-Err.	IFA	194	C2	Status-Byte3 lesen	
		Reserve für HI-INL	IFA				
125	7D	Reset RCV-Error(VWTest)	IFA	201	C9	Interrupt-Maske lesen	IFA
126	7E	Reset Broadcast	IFA	202	CA	Ctrl-Register lesen	IFA
127	7F	Set Broadcast	IFA	203	CB	Reserve für Maske-HI-INL	IFA
				204	CC	IFK-Identcode lesen	IFA
				205	CD	IFKEPLD-Version lesen	IFA
						# PiggyRegister	

Alle Funktionscodes stehen unabhängig von der Betriebsart der **IFA**, an der VG-Leiste zur Verfügung.

Einige Funktionscodes werden für die internen Daten-, Steuer- und Statusregister der **IFA** bzw. innerhalb der "betriebsartabhängigen" Makros verwendet.

In der obigen Tabelle, sind die "internen" Funktionscodes gekennzeichnet.

IFA = Interfacekarte, **MB** = Modulbus, **FG** = Funktionsgenerator

4 Register

4.1 Steuerregister (Funktionscodes siehe Kap. 3)

4.1.1 Mode-Register

Die unterschiedlichen Betriebsarten der **IFA** können nur zum Teil per SE-Software eingestellt werden, einige Betriebsarten müssen aber wegen der Sicherstellung der richtigen Treiberrichtung zwingend per Hardware über die VG-Leite bzw. einen Piggy-Stecker festgelegt werden.

Nach dem Einschalten der **IFA** ist der Interface-Karten-Mode, für die Netzgeräte (**NG**)-Backplane eingeschaltet. Sollte aber eine "Hardware-Betriebsart" z.B. Modulbus- oder IO-Bus-Mode gesetzt sein, ist die selektierte Betriebsart sofort aktiv.

IFA-Mode-Register (write Daten FC=60 Hex) / (read Daten FC=97 Hex)			
Daten		Mode	
write	read		
0000	0000	IFA	allg. InterfaceKarte (nach dem Einschalten)
0001	0001	FG	FunktionsGenerator
---	0002	MB	ModulBus-IF (Mode ist nur über VG-Leisten Pin 7b einschaltbar).
0004	0004	Sweeper	Sweeper (ist nur möglich, wenn Bit im Mode-STS rücklesbar).
---	0008	IO-Bus	IO-Bus-IF (Mode ist nur über VG-Leisten Pin 7b und mit Piggy "IFPIO" einschaltbar. ModusBus Funktion mit IO-Bus Interface)
0010	0010	FG-DDS	FunktionsGenerator mit DDS-Interface (ist nur möglich, wenn Bit im Mode-STS rücklesbar).

4.1.2 Interrupt-Maske

Mit der Interrupt-Maske können die Interrupts der IFA oder der angeschlossenen Geräte zugelassen oder gesperrt werden.

Nach dem Einschalten sind die Interrupts Data-Request (**DRQ**) und Data-Ready (**DRDY**) ausgeschaltet, und Interrupt Summen-Interlock (**S-INL**) eingeschaltet.

Die Daten für die Interrupt-Maske werden mit dem Funktionscode **FC=12_{Hex}** geschrieben.

Bit	Interrupt-Masken-Register (write mit FC=12_{Hex})	
15	Sum.-Interlock	1=enable / 0 = disable
14	Data-Ready	1=enable / 0 = disable
13	Data-Request	1=enable / 0 = disable
12-0		frei

Die Interrupt-Maske wird mit dem Funktionscode **FC=C9_{Hex}** ausgelesen.

4.1.3 Echo-Register

Um die Datenübertragung zwischen **SE** und **IFA** testen, wird ein 16 Bit Daten-Sollwert mit dem Funktionscode **FC=13** Hex geschrieben und mit dem Funktionscode **FC=89** Hex zurückgelesen.

4.1.4 I2C-Bus

Bit	I ² C-CMD und Daten-Register(write Daten FC=61 Hex)		
15..13	frei		
12	CMD-Receive	Liest ein Byte vom I2C-Bus und setzt ackn..	1 aktiv
11	CMD-Send	Sendet die Daten vom Input-Port zum I2C-Bus.	1 aktiv
10	CMD-Start	Erzeugt eine Start-Bedingung auf dem I2C-Bus.	1 aktiv
9	CMD-Stop	Erzeugt eine Stop-Bedingung auf dem I2C-Bus.	1 aktiv
8	ACK-TX	Ackn. Wird nach dem lesen der 8 Datenbit's , vom Master zum Slave gesendet.	0 = ackn.

7..0	I ² C-Adressen oder Daten
------	--------------------------------------

Bit	I ² C-Status und Daten-Register(read mit FC=96 Hex)	
15..13	Frei	
12	Busy	1 aktiv
11	Denable	1 aktiv
10	Dvalid	1 aktiv
9	Status	1 aktiv
8	ACK-RX	1 aktiv

7..0	I ² C-Daten
------	------------------------

Beispiel: Lese Daten vom Temperatur-Sensor LM75 (A2+A1=0, A0=1)

frei	frei	frei	CMD-Receive	CMD-Send	CMD-Start u. Send Data	CMD-Stop	ACK-TX	A6 vom LM75 (fest)	A5 vom LM75 (fest)	A4 vom LM75 (fest)	A3 vom LM75 (fest)	A2 vom LM75 (Pin-5)	A1 vom LM75 (Pin-6)	A0 vom LM75 (Pin-7)	1 = read / 0 = write	Schreibe mit FC = 61 Hex	Beschreibung
D[15..8]								D[7..0]							HEX		
0	0	0	0	0	1	0	0	1	0	0	1	0	0	1	0	0491	Start I2C-Bus, write Slave-ADR.
0	0	0	1	0	0	0	1	x	x	x	x	x	x	x	x	1100	Read MSB-Byte, mit Ackn.=1

Lese I²C-Daten-Register(read mit FC=96 Hex) D[7..0] = MSB-Daten

0	0	0	1	0	0	0	1	x	x	x	x	x	x	x	x	1100	Read LSB-Byte, mit Ackn.=1
0	0	0	0	0	0	1	0	x	x	x	x	x	x	x	x	0200	Stop I2C-Bus

Lese I²C-Daten-Register(read mit FC=96 Hex) D[7..0] = LSB-Daten

Beispiel, als Temperatur ergibt sich:															
MSB-Daten (gelesen = 1A)								LSB-Daten (gelesen = FF)							
0	0	0	1	1	0	1	0	1	1	1	1	1	1	1	1
Daten für Temp-Wert								Undef.							
MSB	D7	D6	D5	D4	D3	D2	D1	D0	x	x	x	x	x	x	x
0	0	0	1	1	0	1	0	1	x	x	x	x	x	x	x

So ergibt sich ein Wert von 35 Hex, bei 0,5 °C/Bit, entspricht das: 26,5 °C.

4.2 Status-Register (Funktionscodes siehe Kap. 3)

4.2.1 Interlock-Status-Register

Bit	Status-Register (read mit FC=C9 Hex)		
15	Interlock-Maske	Sum.-Interlock	1 Enable
14	Interlock-Maske	Data-Ready	1 Enable
13	Interlock-Maske	Data-Request	1 Enable
12	Signal	Sum.-Interlock	0 aktiv
11	Signal	Data-Ready	0 aktiv
10	Signal	Data-Request	0 aktiv
9	Verb. STPIGGY1/Pin5 (für alten "FGEN" FG 380.504, SW3-TimOut, Pullup)		0 aktiv
8	Power-UP Flag		0 aktiv
7..0			“00“

4.2.2 IFA-Status-Register

Bit	Control-Register (read mit FC=CA Hex)		
15	Mil-Spannung 15V	1 aktiv	
14	Piggy-Error (IFA) / DTACK-Error (MB)	0 aktiv	
13	IRQ VG-Leiste (Pin 11a)	1 aktiv	
12	Select Modulbus-Mode über VG-Leiste Pin 7b	0 aktiv	
11	Jumper, SW-STR (Sollw.-Str SW1)	0 = gest.(aktiv)	
10	Jumper, EN-IO gesteckt = (Enable dig. Verbindung zur VG-96, Standard, gezogen = Piggy-Back-Betrieb)	0 = gest.(aktiv)	
9	Broadcast	1 aktiv	
8	Receive-Error	1 aktiv	
7..0			“00“

4.2.3 Modulbus-Status-Register

Bit	Modulbus-Status-Register (read mit FC=9A Hex)		
15	GND (0V)		
14	GND (0V)		
13	GND (0V)		
12	GND (0V)		
11	GND (0V)		
10	GND (0V)		
9	GND (0V)		
8	GND (0V)		
7..0			“00“

4.2.4 ID-Register

Alle Interface-Karten ab FG 380.2xx und FG 450.01x sind mit einem ID-Register ausgerüstet, um die Karten eindeutig identifizieren zu können.

Bit	Interface-Karten ID-Register (read mit FC=CC Hex)	
15..8		“FB“
7..0		“00“

ID-Code	Nummer	Beschreibung
254/FE _{Hex}	FG 380.201	allgemeine digitale Interface-Karte (Job: IFA2)
253/FD _{Hex}	FG 450.011	Interface-Karte für Modulbus im Ionenquellen-Terminal)
253/FD _{Hex}	FG 450.012	Interface-Karte für Modulbus im Ionenquellen-Terminal)
252/FC _{Hex}	FG 380.203	allgemeine digitale Interface-Karte (Job: IFA4)
251/FB _{Hex}	FG 380.211	neue allg. dig. Interf. Karte und Modulbus Interf. (Job: IFA5)

4.2.5 EPLD Versions-Register

Das EPLD-Versions-Register wird mit dem Funktionscode **FC=CD**_{Hex} ausgelesen.

Bit	EPLD-Version		EPLD-Revision		frei (Default = 0)				
Bit	15	-	12	11	-	8	7	-	0

Die Version 1.6 ist die z.Z. aktuelle Version.

5 Modul-Bus

5.1 Modulbus-Adressierung

5.1.1 Standard-Modulbuszugriff (2 Schritte)

Datentransfers von/zu Modulen erfordern im Normalfall **zwei** Devicebus-Transfers von je 2x16-Bit:

3. Modul-Karte-Adr.(Modul- u. Subadresse) als 16-Bit Daten + (Fct 11_{Hex} + IFK-Adr.) 16-Bit.
4. 16 Bit Moduldaten mit Funktionscode = 10_{Hex} schreiben, oder
16 Bit Moduldaten mit Funktionscode = 90_{Hex} lesen.

5.1.2 Schneller Modulbuszugriff (1 Schritt)

Schnellere Zugriffe auf Module mit nur einem Devicebus-Transfer sind nur möglich, wenn das **Funktions-Code-Decoder-Ram** auf der **IFA** verwendet wird, das Zugriffe auf Module mit Hilfe von Funktionscodes erlaubt

5.1.2.1 Initialisierung des Funktions-Code-Decoder

Die Initialisierung des Funktions-Code-Decoders erfolgt in zwei Stufen.

1. Die Adress-Position, die dem zu decodieren Funktionscode entspricht, wird mit dem Funktionscode **FC=62**_{Hex} geschrieben.

frei			Funktions-Code der decodiert werden soll. (=RAM-ADR.)							
15	-	8	7	6	5	4	3	2	1	0

2. Die Modulbus-Adresse, die dann auf dem Modulbus über den Funktionscode angesprochen werden soll, wird mit dem Funktionscode **FC=63**_{Hex} geschrieben.

Modulbus-ADR.							Sub.-ADR.								
x	x	13	12	11	10	9	8	7	6	5	4	3	2	1	0

5.1.2.2 Initialisierung des MB-Group-Cont

MB-Group-Cnt.-Reg. (write Daten FC=64 Hex) / (read Daten FC=9B Hex)		
Daten	MB-Group	
0000	0	→ MB-read/write mit Basis-ADR
0002	2	→ MB-read/write mit Basis-ADR und 1 virt. ADR.
0004	4	→ MB-read/write mit Basis-ADR und 3 virt. ADR.
0008	8	→ MB-read/write mit Basis-ADR und 7 virt. ADR.
000F	16	→ MB-read/write mit Basis-ADR und 15 virt. ADR.

Achtung: !!

Beim Betrieb der Interfacekarte im Modulbus-Mode und einem Group-Count >0 **müssen die entsprechenden untersten 1-4 Bits der Basisadr. 0 sein., weil sie direkt zur Unterdekodierung herangezogen werden** (z.B.: Group-Count = 4 → IFK-ADR. Bit2, Bit1 und Bit0 = Low (0V)). Das Lesen der Konfiguration mit den Funkt. Adress- oder Datenbus schreiben bzw. Datenbus lesen ist sonst, auch mit der Basis-Adr., ist nicht mehr möglich.

6 Manuals

6.1 *Modulbus*

6.2 *Funktionsgenerator*

7 Anhang

7.1 Pinbelegung der VG-Steckerleiste

Nr.	IFA-, FG- oder Sweeper-Mode						Modul-Bus Mode						
	A		B		C		A		C		C		
1	+5V		I ² C-LDA	O	/S-INL	I	+5V		I ² C-LDA	O		I	
2	+15V		I ² C-LCL	O	-15V		+15V		I ² C-LCL	O	-15V		
3	A 0	I	New-Data	O	A 1	I	A 0	I	New-Data	O	A 1	I	
4	A 2	I	FC-ST-Piggy	O	A 3	I	A 2	I	FC-ST-Piggy	O	A 3	I	
5	A 4	I	/Send-Enable	I	A 5	I	A 4	I	/Send-Enable	I	A 5	I	
6	A 6	I	/Send-STR	I	A 7	I	A 6	I	/Send-STR	I	A 7	I	
7	STS 0	I	/Sel ModBus	I	STS 1	I	STS 0	I	/Sel ModBus	I	STS 1	I	
8	STS 2	I	Input (frei)	I	STS 3	I	STS 2	I		I	STS 3	I	
9	STS 4	I	Send-Data	O	STS 5	I	STS 4	I	Send-Data	O	STS 5	I	
10	STS 6	I	/DRQ	I	STS 7	I	STS 6	I	/DRQ	I	STS 7	I	
11	IRQ	O	/DRDY	I	ACK	I	IRQ	O	/DRDY	I	ACK	I	
12	FC 0	O	/Pu.-Reset	O	FC 1	O	FC 0	O	/Pu.-Reset	O	FC 1	O	
13	FC 2	O	FC-Strobe	O	FC 3	O	FC 2	O	FC-Strobe	O	FC 3	O	
14	FC 4	O	6Mhz	O	FC 5	O	FC 4	O	6Mhz	O	FC 5	O	
15	FC 6	O	DRQ	O	FC 7	O	FC 6	O	DRQ	O	FC 7	O	
16	AnOut	O	ST4-Pin4	*	AnIn	I			ST4-4	*			
17	AnOut S	O	Output (frei)	O	AnInS	I	/SRQ2	I	Output (frei)	O	/SRQ3	I	
18	SW 0	O	SWF 0	O	SW 1	O	/Reset	O			/SRQ1	I	
19	SW 2	O	SWF 1	O	SW 3	O	/DS	O			CLK	O	
20	SW 4	O	SWF 2	O	SW 5	O	R/W	O			/INL	I	
21	SW 6	O	SWF 3	O	SW 6	O	A4	O			/Dtack	I	
22	SW 8	O	SWF 4	O	SW 7	O	A2	O	Modul-Bus Belegung		A3	O	
23	SW 10	O	SWF 5	O	SW 11	O	A0	O				A1	O
24	SW 12	O	SWF 6	O	SW 13	O	Sub-A6	O				Sub-A7	O
25	SW 14	O	SWF 7	O	SW 15	O	Sub-A4	O				Sub-A5	O
26	IW 4	I	ST4-Pin5	*	IW 5	I	Sub-A2	O				Sub-A3	O
27	IW 6	I	ST4-Pin6	*	IW 7	I	Sub-A0	O				Sub-A1	O
28	IW 8	I	IW 0	I	IW 9	I	D6	*			D7	*	
29	IW 10	I	IW 1	I	IW 11	I	D4	*			D5	*	
30	IW 12	I	IW 2	I	IW 13	I	D2	*			D3	*	
31	IW 14	I	IW 3	I	IW 15	I	D0	*			D1	*	
32	GND		ST4/7		GNA		GND				GNA		

I = Input

O = Output

* = In- Output

Signalbeschreibung:

Signale für alle Betriebsarten		
A[7..0]	I	8 Bit Interface-Karten-Adresse (Interne Pullup-Widerstände (4k7))
STS[7..0]	I	8 Bit Geräte-Status (Interne Pulldown-Widerstände (10k))
FC[7..0]	O	8 Bit Funktionscode
FC-Strobe	O	Funktionscode-Strobe, positiver Puls (write = 1µs, read = 5µs)
FC-ST-Piggy	O	Funktionscode-Strobe, positiver Puls (write = 1µs, read = 5µs)
Send-Data	O	Send-Data des Decoders 6408, zeigt die Übertragung der Daten an (high-aktiv)
/Sel ModBus	I	Hardware-Selekt zur Umschaltung auf Modulbus-Mode (low-aktiv).
/Pu.-Reset	O	Powerup-Reset (low-aktiv)
DRQ	O	invertiertes Interlocksignal /DRQ (high-aktiv)
New-Data	O	Übernahmepuls für neue Stützpunktdaten (24 Bit) vom FG (high-aktiv)
IRQ	O	Interrupt zum Gerät, wird vom FC-Strobe gesetzt (high-aktiv)
ACK	I	Quittungssignal für Geräte-Interrupt (high-aktiv)
AnOut	O	Verbindung zum Stecker STPiggy2 (analoger Sollwert)
AnOutS	O	Verbindung zum Stecker STPiggy2 (Schirm des analogen Sollwertes)
AnIn	I	Verbindung zum Stecker STPiggy2 (analogen Istwert)
AnInS	I	Verbindung zum Stecker STPiggy2 (Schirm des analogen Istwertes)
Output (frei)	O	Reserve Output vom ALTERA
Input (frei)	I	Verbindung zum Stecker STPiggy4-Pin3 und Reserve Input zum ALTERA
ST4-Pin4		Verbindung zum Piggy-Stecker STPiggy4-Pin4
ST4-Pin5		Verbindung zum Piggy-Stecker STPiggy4-Pin5
ST4-Pin6		Verbindung zum Piggy-Stecker STPiggy4-Pin6
ST4/Pin7		Verbindung zum Piggy-Stecker STPiggy4-Pin7
I²C-LDA	IO	Daten für den I2C-Bus
I²C-LCL	O	Clock für den I2C-Bus
Signale, die beim "Modulbus-Mode" inaktiv sind		
/S-INL	I	S-Interlock 5-15V,(offen, oder > 4,0V = Interlock).
/DRQ	I	Interlock Data-Request (low-aktiv)
/DRDY	I	Interlock Data-Ready (low-aktiv)
SW[15..0]	O	16 Bit Sollwert (beim FG, SW[15..0] = SW-FG[23..8])
SWF[7..0]	O	8 Bit Sollwerterw. auf 24Bit beim FG, SWF[7..0] = SW-FG[7..0])
IW[15..0]	I	16 Bit Istwert
/Send-Enable	I	Sender-Enable für den Blockmode (low-aktiv)
/Send-STR	I	Send-Strobe für den Blockmode (low-aktiv).
Signale für den "Modulbus-Mode"		
/INL		Summen-Interlock (low-aktiv)
/SRQ3		Interlock Reserve (low-aktiv)
/SRQ2		Interlock DRDY (low-aktiv)
/SRQ1		Interlock DRQ (low-aktiv)
/Reset	O	Powerup-Reset (low-aktiv)
CLK	O	Clock 2MHZ
A[4..0]	O	5 Bit Modul-Adresse
Sub-A[7..0]	O	8 Bit Sub-Adresse
D[7..0]	B	8 Bit bidirektionaler Datenbus
R/W	O	high (5V) = Data-Read, low (0V) = Data-Write
/DS	O	Daten-Strobe (low-aktiv)
/Dtack	I	Quittungssignal für das Ende der read/write Sequence (low-aktiv)

7.2.2 Piggy-Stecker-Belegung

STPIGGY1				STPIGGY2					
+5V	2	1	+5V	-15V		2	1		+15V
FC-Strobe	4	3	/Reset	/INR-Ackn.	11c	4	3	11a	/INR-Req.
/S-INL	6	5	SW3-TO	Analog-Out-Shield	17a	6	5	16a	Analog-Out
FC 0	8	7	FC 1	Analog-In- Shield	17c	8	7	16c	Analog-In
FC 2	10	9	FC 3	SW 1		10	9		SW 0
FC 4	12	11	FC 5	SW 3		12	11		SW 2
FC 6	14	13	FC 7	SW 5		14	13		SW 4
SWI 0	16	15	SWI 1	SW 6		16	15		SW 6
SWI 2	18	17	SWI 3	SW 7		18	17		SW 8
SWI 4	20	19	SWI 5	SW 11		20	19		SW 10
SWI 6	22	21	SWI 6	SW 13		22	21		SW 12
SWI 8	24	23	SWI 7	SW 15		24	23		SW 14
SWI 10	26	25	SWI 11	SWF 1		26	25		SWF 0
SWI 12	28	27	SWI 13	SWF 3		28	27		SWF 2
SWI 14	30	29	SWI 15	SWF 5		30	29		SWF 4
IWI 0	32	31	IWI 1	SWF 7		32	31		SWF 6
IWI 2	34	33	IWI 3	IW 5		34	33		IW 4
IWI 4	36	35	IWI 5	IW 7		36	35		IW 6
IWI 6	38	37	IWI 5	IW 9		38	37		IW 8
IWI 8	40	39	IWI 7	IW 11		40	39		IW 10
IWI 10	42	41	IWI 9	IW 13		42	41		IW 12
IWI 12	44	43	IWI 11	IW 15		44	43		IW 14
IWI 14	46	45	IWI 13	IW 1		46	45		IW 0
GND	58	47	IWI 15	IW 3		58	47		IW 2
GND	50	49	GND	GNA		50	49		GNA
				VG96					

- FC = Funktionscode
 SWI = Interner-Sollwert (Daten an alle Interface-Karten)
 IWI = Interner-Istwert (Istwert der zur SE geschickt wird)
 SW = 16 Bit Sollwert an der VG-Leiste
 SWF = 8 Bit LSB-Sollwerterweiterung, für 24 Daten vom Funktionsgenerator
 IW = 16 Bit Istwert an der VG-Leiste

STPIGGY3			
BO3-RES	1	2	BO2-RES
12MHz	3	4	/S-INL
LED-CLK	5	6	FC-STR-Piggy
DSC (6408)	7	8	/Send-Enable
/SEL-14-15B	9	10	/Send-Strobe
Piggy14B	11	12	SD (6408)
Piggy15B	13	14	Piggy-Res1
/Dis-Dig-IO	15	16	Piggy-Res2
Pig-Res3	17	18	/Sel-Status-Data
/Piggy-Sel-Error	19	20	GND

STPIGG4	
1	New-Data (Übergabe-Strobe vom Funktionsgenerator der IFA)
2	/Sel-MB (Anschluss für Betriebsartumschaltung → MB-Mode)
3	VG96 Pin8b
4	VG96 Pin16b
5	VG96 Pin26b
6	VG96 Pin27b
7	VG96 Pin32b

ST-ERW			
EXT-CLK	1	2	ERW 1
ERW 2	3	4	ERW 3
ERW 4	5	6	ERW 5
ERW 6	7	8	ERW 7
ERW 8	9	10	ERW 9
ERW 10	11	12	ERW 11
ERW 12	13	14	ERW 13
ERW 14	15	16	ERW 15

Die Signalleitungen vom Stecker für den Logikanalysator **ST-TEST** werden parallel an den Stecker **ST-16OUT** um die Signale auch bei einem Piggy verwenden zu können.

ST-16OUT	
1	Test 0
2	Test 1
16	Test 15

7.3 Netzgeräte-Backplane

7.4 Modulbus-Backplane

7.5 Produktionsunterlagen

Die Fertigungsunterlagen für die **Platine** wurden mit dem CAD-Programm "CADES-G" unter Windows-NT erstellt. Die aktuelle Version der Interface-Karte hat die Versions-Nr. 6. Das Projekt wurde im CADE-System unter dem Job-Namen **IFA** angelegt.

Verzeichnis: CadesG on 'W2kfilesvb\CAD\$Group' (R:)\cade_job\ifa\ifa6\sgsbls

Das **Manual** (FG380211_Manual.doc) der IF-Karte wurde in MS-WORD geschrieben und ist im 'Belab-Manual-Verzeichnis' zu finden.

Verzeichnis: Belab on 'W2kfilesvb\Belab\$Root' (Z:)
\Manuals\Baugruppen_Geraete\FG380\21X\211\Doku\FG380211_Manual.doc

Die Fertigungsunterlagen für die **Frontplatte** wurden mit dem Programm "IsyCAD 3.0" erstellt.

Die Dateien für IsyCAD sind: FM380211_XXXX.VEC (Hauptansicht),

Verzeichnis: Belab on 'W2kfilesvb\Belab\$Root' (Z:)
\Manuals\Baugruppen_Geraete\FG380\21X\211\Mechanik\FM380211_XXX.VEC

Alle Frontplattenzeichnungen sind auch als PDF-Datei (FM380211_XXX.PDF) vorhanden.

Verzeichnis: Belab on 'W2kfilesvb\Belab\$Root' (Z:)
\Manuals\Baugruppen_Geraete\FG380\21X\211\Mechanik\FM380211_XXX.PDF

Die **Design-Unterlagen für den ALTERA-EPLD** sind im CADE-Projekt Verzeichis abgelegt.

Verzeichnis: Belab on 'W2kfilesvb\Belab\$Root' (Z:)
\Manuals\Baugruppen_Geraete\FG380\21X\211\PLD\IF211x.pof

Die **Datenblätter** werden im PDF-Format bereitgestellt.

Verzeichnis: Belab on 'W2kfilesvb\Belab\$Root' (Z:)
\Manuals\Baugruppen_Geraete\FG380\21X\211\Doku\